

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

011375526 **Image available**
WPI Acc No: 1997-353433/199733
XRAM Acc No: C97-114258

Semiconductor device e.g. MOSFET using double resurf effect - has epitaxial monocrystalline silicon layer where more than twice the concentration of dopant and 75 per cent of the charge exists in the lowermost part of the layer.

Patent Assignee: INT RECTIFIER CORP (INRC)

Inventor: RAMJAN N

Number of Countries: 009 Number of Patents: 012

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
GB 2309589	A	19970730	GB 971069	A	19970120	199733 B
FR 2744836	A1	19970814	FR 97467	A	19970117	199740
DE 19701189	A1	19971030	DE 1001189	A	19970115	199749
JP 9307110	A	19971128	JP 976235	A	19970117	199807
TW 328160	A	19980311	TW 97100360	A	19970115	199832
KR 97060378	A	19970812	KR 971264	A	19970117	199838
US 5801431	A	19980901	US 9610162	P	19960118	199842
			US 97783667	A	19970115	
			US 97803071	A	19970220	
US 5861657	A	19990119	US 9610162	P	19960118	199911
			US 97783667	A	19970115	
SG 55267	A1	19981221	SG 97115	A	19970117	199929
GB 2309589	B	20010103	GB 971069	A	19970120	200102
IT 1289920	B	19981019	IT 97MI94	A	19970117	200131
KR 300674	B	20011130	KR 971264	A	19970117	200246

Priority Applications (No Type Date): US 9610162 P 19960118; US 97783667 A 19970115; US 97803071 A 19970220

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
GB 2309589	A	22		H01L-021/20	
FR 2744836	A1	21		H01L-029/36	
DE 19701189	A1	12		H01L-029/78	
JP 9307110	A	8		H01L-029/78	
TW 328160	A			H01L-021/76	
KR 97060378	A			H01L-021/208	
US 5801431	A			H01L-023/552	Provisional application US 9610162 Div ex application US 97783667
US 5861657	A			H01L-023/58	Provisional application US 9610162
SG 55267	A1			H01L-021/20	
GB 2309589	B			H01L-021/20	
IT 1289920	B			H05K-000/00	
KR 300674	B			H01L-021/208	Previous Publ. patent KR 97060378

Abstract (Basic): GB 2309589 A

A semiconductor device comprises a flat silicon substrate with an epitaxial layer (10) of monocrystalline silicon deposited on it which has a given total charge concentration. The epitaxial layer has a uniform thickness and a graded concentration where at least about 75% of the total charge is in the bottom 25% of the layer thickness (40), the epitaxial layer having P-N junctions formed on its upper surfaces. One of the P-N junctions comprises a resurf junction (30) having a depth of less than about 75% of the epitaxial layer thickness. The epi pinch between the resurf junction is in a lower concentration region so that any slight variation in the depth of the resurf junction has a relatively small effect on the operation of the device. A method for

preparing the device is also claimed.

USE - For receiving junctions of high voltage devices using a double resurfing technique.

ADVANTAGE - The thickness of the epitaxial layer is reduced so that deep isolation diffusion is not required to isolate different circuit parts from each other which require long diffusion times at 1200 deg. C or more resulting in lower yields due to defects and lower throughput.

Dwg. 2/6

Title Terms: SEMICONDUCTOR; DEVICE; MOSFET; DOUBLE; RESURF; EFFECT;
EPITAXIAL; MONOCRYSTAL; SILICON; LAYER; MORE; TWICE; CONCENTRATE; DOPE;
PER; CENT; CHARGE; EXIST; LOW; PART; LAYER

Derwent Class: L03

International Patent Class (Main): H01L-021/20; H01L-021/208; H01L-021/76;
H01L-023/552; H01L-023/58; H01L-029/36; H01L-029/78; H05K-000/00

International Patent Class (Additional): H01L-021/336; H01L-021/8232;
H01L-029/06; H01L-029/167; H01L-029/73; H01L-029/739; H01L-029/861;
H01L-029/78

File Segment: CPI

Manual Codes (CPI/A-N): L04-A01; L04-C01; L04-C02; L04-E01B1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307110

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 W
29/06			29/06	

審査請求 有 請求項の数 6 O L (全 8 頁)

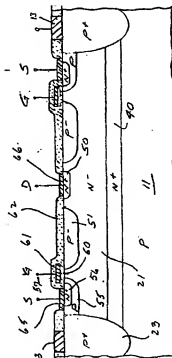
<p>(21) 出願番号 特願平9-6235</p> <p>(22) 出願日 平成9年(1997)1月17日</p> <p>(31) 優先権主張番号 60/010162</p> <p>(32) 優先日 1996年1月18日</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 591074389 インターナショナル・レクテファイヤー・ コーポレーション INTERNATIONAL RECTI FIER CORPORATION アメリカ合衆国90245カリフォルニア州 エル・セグンド、カンザス・ストリート 233番</p> <p>(72) 発明者 ニラジ・ランジャン アメリカ合衆国90246カリフォルニア州エ ル・セグンド、ロマ・ビスタ・ナンバー・ ビー124番</p> <p>(74) 代理人 弁理士 青山 葆 (外1名)</p>
------------------------------------------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

(54) 【発明の名称】 半導体装置及びシリコンウエハの調製方法

(57) 【要約】

【課題】 エピタキシャル層を薄くすることができる半導体装置を提供する。

【解決手段】 半導体装置のエピタキシャル層10は、絶縁されたウエルの少なくとも1つにリザーブ拡散部51を有している。ここで、ウエルは接合拡散部23によって仕切られている。エピタキシャル層10の下部における電荷の配置割合を増やすことによって、該エピタキシャル層10の厚さが低減される。



【特許請求の範囲】

【請求項1】 内部に任意の全電荷密度を伴った、堆積された単結晶シリコンのエピタキシャル層を有する、平坦なシリコン基板を含んでいる半導体装置であって、上記エピタキシャル層が、概ね均一な厚さで次第に変化する密度と伴っていて、これにより上記エピタキシャル層中の全電荷の少なくとも約75%が、上記エピタキシャル層の厚み方向の底部内に存在し、

上記エピタキシャル層が、その上面に形成された複数のP-N接合部を有しており、

上記接合部の1つが、上記エピタキシャル層の厚みの約75%よりも実質的に小さい深さを伴ったリサーフ接合部を含んでいて、これにより上記リサーフ接合部の下のエピタキシャルピンチ部が低密度領域内に存在し、上記リサーフ接合部の深さ方向の少しの変化が該装置の操作に比較的小さい効果しか与えないことを特徴とする半導体装置。

【請求項2】 上記装置が600ボルトを超える定格電圧を有し、かつ上記エピタキシャル層の厚さが約10ミクロンであることを特徴とする、請求項1にかかる半導体装置。

【請求項3】 上記エピタキシャル層の全電荷の少なくとも上記75%が、上記エピタキシャル層の底部の約1〜4ミクロンより小さい範囲内に存在することを特徴とする、請求項2にかかる半導体装置。

【請求項4】 上記エピタキシャル層の上記底部の1〜4ミクロンが、平方あたり約3000オームより大きい面積抵抗を有し、かつ上記エピタキシャル層の上部の8ミクロンの面積抵抗が平方あたり約4000オームより大きいことを特徴とする、請求項3にかかる半導体装置。

【請求項5】 該装置が600ボルトを超える定格電圧を有し、かつ上記エピタキシャル層の厚さが約10ミクロンであることを特徴とする、請求項1〜4のいずれか1つにかかる半導体装置。

【請求項6】 各々が少なくとも第1及び第2の接合分離領域を有している高電圧装置用のチップである、横方向に間隔をあけて配置された複数の半導体チップが内部に設けられるシリコンウエハの調製方法であって、任意の逆定格電圧に対して、選択された密度のシリコンウエハ基板を選択する工程と、

任意のドーパ原子の濃度が第1濃度であり、厚さが約2ミクロンよりも小さい第1領域を形成する工程と、

上記第1領域の頂部に、厚さが約7ミクロンよりも大きく、かつ上記第1領域内の上記ドーパ原子と同じ極性の任意のドーパ原子の濃度が、上記第1領域中の濃度よりも実質的に低い第2濃度であるエピタキシャル層を形成し、これにより上記第1領域及び上記エピタキシャル層中の全電荷の少なくとも約75%が上記第1領域中に配置されるようになっている工程とを含んでいることを

特徴とするシリコンウエハの調製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びシリコンウエハの調製方法に関するものであり、詳しくは2重リサーフ技術を利用する高電圧半導体装置の接合を受け入れるための新規なエピタキシャル基板に関するものである。

【0002】

【従来の技術】 高電圧半導体装置は、普通、高電位差を伴った領域間に低濃度領域であるリサーフ (resurf) 領域を有している。リサーフ領域は、電圧差が増加するのに伴って減少し、最大の電圧差が印加される前に完全に消滅してしまう。2重リサーフ技術においては、逆の極性の2つのリサーフ領域が存在し、これらは両方とも、印加される電位差が増加するのに伴って減少する。このような装置及び2重リサーフ技術を用いる利点は、米国特許4,866,495号に記載されている。

【0003】 2重リサーフ技術を用いる高電圧装置においては、ある極性のリサーフ領域が、適当なドーパ材の注入及び拡散により、逆の極性のエピタキシャル成長層中につくられる。拡散されたリサーフ領域によってはさみつけられたエピタキシャル領域 (pinned epitaxial region) は、第2のリサーフ領域として役立ち、頂部の (拡散された) リサーフ層中の電荷がおよそ $1 \times 10^{12} \text{ cm}^{-2}$ に制御され、かつ底部の (はさみつけられたエピタキシャル層) リサーフ領域中の電荷がおよそ $1.5 \times 2 \times 10^{12} \text{ cm}^{-2}$ に制御されたときに、高い放電電圧が得られる。

【0004】

【発明が解決しようとする課題】 このような構造の1つの結果は、拡散されたリサーフ層の深さがわずかに変化することによって、はさみつけられたエピタキシャル領域中の電荷が実質的に変化して放電電圧を超える状態での制御が損なわれることである。この効果は、より厚いエピタキシャル層を用いることにより補償されなければならない。しかしながら、厚いエピタキシャル層は、次のようないくつかの欠点を有している。

【0005】 (1) 集積回路上の異なる回路部分を相互に電気的に絶縁させるためにより深い絶縁拡散部が必要とされ、 1200°C 又はこれより高い温度でのより長い拡散時間が必要となり、その結果スループット性能が低下する。

(2) 1200°C 又はこれより高温での非常に長い拡散時間は、生産性の低下を招くといった不具合を生じさせる。

(3) 1200°C 又はこれより高温での非常に長い拡散時間はまた、より大きい横方向の拡散に起因して、絶縁拡散部の幅の増加を招き、チップ上の有効面積を減少させる。

【0006】

【課題を解決するための手段】本発明によれば、エビタキシャル層の厚さが実質的に低減され、電荷分布が修正される。かくして、底部のリサーフ電荷（はさみつけられたエビタキシャル領域）の大部分（約75%より大きく、好ましくは80%より大きい）は、該エビタキシャル層の底部の1〜4ミクロン内、又は該エビタキシャル層の底部のおよそ25%内もしくは好ましく20%内に含まれる。該エビタキシャル層の頂部は非常に軽くドーピングされ、底部リサーフ電荷のわずかな部分を含んでいる。

【0007】下部エビタキシャル領域中の増加する電荷は、次の2つの手段のいずれか1つにより、ウエハ製造工程の始めに導入されることができ。

(1) 軽くドーピングされた領域のエビタキシャル成長に先立って、基板ウエハ中に適当なドーパ材が注入されている間に、拡散が伴われる。

(2) 薄い軽くドーピングされたエビタキシャル層が最初に成長させられるエビタキシャル成長工程の間に、より厚い軽くドーピングされたエビタキシャル層の成長が伴われる。

【0008】結果として得られる構造においては、頂部の（拡散された）リサーフ領域の深さの変化は、その下のはさみつけられた領域内に含まれる電荷に対して非常に小さい効果しか与えないであろう。これは、任意の放電電圧に対して、非常に薄いエビタキシャル層をもって放電電圧を超える状態でのより良好な制御を招く。より薄いエビタキシャル層は、逆に（順番に）、絶縁拡散部を形成するのに必要な拡散処理時間を低減し、そして絶縁拡散部はより小さい横方向の広がりをもち、チップの面積をより小さくする。

【0009】本発明のもう1つの特徴として、完成されたデバイスの高温逆バイアス特性が、該デバイス表面上の絶縁酸化物中の横方向に間隔をあけて配置されたポリシリコンリングを使用している間に、プラスチックのハウジングからの汚染イオンがチャンネル領域に流れ込むのを防止するために、ゲート電極を被覆している酸化物の上で金属化を使用している間に実質的に改善される。

【0010】完成されたデバイスでここへは、Nチャンネルレベルのシフトデバイス中のNMOSデバイスを部分的に短縮する間隔をあけて配置された短縮バーの使用により改善される。

【0011】具体的には、本発明の1つの態様は、内部に任意の全電荷密度を伴った、堆積された単結晶シリコンのエビタキシャル層を有する、平坦なシリコン基板を含んでいる半導体装置において、上記エビタキシャル層が、概ね均一な厚さと次第に変化する密度とを伴っていて、これにより上記エビタキシャル層中の全電荷の少なくとも約75%が、上記エビタキシャル層の厚み方向の

残りの底部内に存在し、上記エビタキシャル層が、その上面に形成された複数のP-N接合を有しており、上記接合の1つが、上記エビタキシャル層の厚みの約75%よりも実質的に小さい深さを伴ったリサーフ接合を含んでいて、これにより上記リサーフ接合の下のエビタキシャルピンチ部が低密度領域内に存在し、もって上記リサーフ接合の深さ方向の若干のばらつきが該装置の操作に比較的小さい効果しか与えないことを特徴とするものである。

【0012】この半導体装置においては、上記装置が600ボルトを超える定格電圧を有し、かつ上記エビタキシャル層の厚さが約10ミクロンであるのが好ましい。ことをまた、上記半導体装置においては、上記エビタキシャル層の全電荷の少なくとも上記75%が、上記エビタキシャル層の底部の約1〜4ミクロンより小さい範囲内に存在するのが好ましい。さらに、上記半導体装置においては、上記エビタキシャル層の上記底部の1〜4ミクロンが、平方あたり約3000オームより大きい面積抵抗を有し、かつ上記エビタキシャル層の上部の8ミクロンの面積抵抗が平方あたり約4000オームより大きいのが好ましい。ここで、上記半導体装置においては、該装置が600ボルトを超える定格電圧を有し、かつ上記エビタキシャル層の厚さが約10ミクロンであるのが一層好ましい。

【0013】本発明の第2の態様は、各々が少なくとも第1及び第2の接合分離領域を有している高電圧装置用のチップである、横方向に間隔をあけて配置された複数の半導体チップが内部に設けられるようになっているシリコンウエハの調製方法において、任意の逆定格電圧に対して、選択された密度のシリコンウエハ基板を選択する工程と、任意のドーープ原子の濃度が第1濃度であり、厚さが約2ミクロンよりも小さい第1領域を形成する工程と、上記第1領域の頂部に、厚さが約7ミクロンよりも大きく、かつ上記第1領域内の上記ドーープ原子と同じ極性の任意のドーープ原子の濃度が、上記第1領域中の濃度よりも実質的に低い第2濃度であるエビタキシャル層を形成し、これにより上記第1領域及び上記エビタキシャル層の中の全電荷の少なくとも約75%が上記第1領域中に配置されるようになっている工程とを含んでいることを特徴とするものである。

【0014】

【発明の実施の形態】図1には、従来技術にかかる水平伝導タイプのダイオードが示され、このダイオードの接合部は、P型基板11の頂部に堆積された単結晶シリコンからなるNエビタキシャル層のNWエル10内に形成されている。N⁺拡散部は、端子Aを備えた隔壁電極12の接触抵抗を低減する。リング形の電極13はデバイスの陰極Kである。

【0015】エビタキシャル層10は、幾何学的にはリング形であるがその他の任意の幾何学的形状とすること

ができる拡散部23のような1つ又はこれより多くのP型絶縁拡散部によって、複数の絶縁されたウエル20、21及び22に分割されている。隆起側のコンタクト部13は、P⁺領域23の頂部に堆積されている。拡散部23は、絶縁領域又はウエル20、21及び22を絶縁するために、領域10と領域11との間のP/N界面を遮断しうる十分な深さをもっていなければならない。ウエル21及び22は、所望の分散形又は集積形の回路配置中に、ダイオード、MOSゲートデバイス及び/又はバイポーラデバイスを形成するための所望の接合パターンを含んでいてもよい。

【0016】図1に示すデバイスが、例えば600ボルトを超える高電圧デバイスである場合は、リング形のP-リザーバ領域30が設けられてよく、これは 1×10^{12} 原子/cm²の全電荷を有し、ダイオードの電極12、13間に最大の逆電圧がかけられたときには完全に消失する傾向がある。逆バイアス下におけるパンチスルー放電(突き抜け放電)を防止するために、例えば600ボルト又はこれを超える高電圧がかけられる従来技術にかかるエビタキシャル層10は、およそ20〜25ミクロンの厚さにつくられ、その表面で測定される均一なN⁻抵抗はおよそ3オーム・cmである。

【0017】エビタキシャル層10が比較的に厚くなる結果、横方向の拡散に起因して、P型絶縁拡散部23もまた比較的に厚くなる。これは、拡散部23が全チップ面積の比較的大きい部分を占め、種々の接合を含んでいるウエルの有効面積を減少させるといった結果を招く。さらに、厚いエビタキシャル層10は、これから個々のチップ(又は、ダイ)が形成されるウエハのコストを上昇させ、処理工程時間を長引かせ、そして長時間の高温処理を必要とすること起因する付加的な損害を生じさせる。

【0018】領域30の深さは、典型的にはおよそ5ミクロンである。この深さは、製造のばらつきに起因して変化するので、電荷密度が領域30の下側に大容量のエビタキシャル層を設けることによって低減されなければ、領域30の下のはさみつけられたエビタキシャル層(エビ・ピンチ)はその下側に存在する電荷に大きな効果を与えるであろう。

【0019】図2は本発明にかかる半導体装置を示しており、図2において、図1中の要素と同一の番号が付されたものはこれと同一の要素を示している。本発明によれば、図1の層10中のNキャリアと同一の全濃度が図2においても採用されるが、全電荷の大部分をエビタキシャル層10の底部における厚さが小さい部分40中に入れることにより再配分される。例えば、領域40は、層10の全厚みの10〜40%とすることができるが、層10の2〜4倍の濃度をもつであろう。しかしながら、領域40の厚さと濃度の組み合わせは、この領域の全電荷を $1.2 \sim 1.5 \times 10^{12}$ cm⁻²となる結果となる

であろう。本発明の好ましい実施の形態においては、領域40は、その厚さが2ミクロンであり、およそ 7×10^{15} cm⁻³のドーパ濃度を伴っている。

【0020】このように領域10中の全電荷を再配分することにより、エビタキシャル層又は領域10の厚さが実質的に低減され、例えば600ボルトの放電電圧に対しては20ミクロンから10ミクロンに低減される。これはさらに、絶縁拡散部23に必要とされる深さ、ひいてはその横方向の面積を実質的に低減する。その結果、活動的な回路又は部品のためのチップの上により広い面積が確保される。さらに、拡散部23を駆動するのに必要な時間が実質的に低減され、例えば20ミクロンの厚さのエビタキシャル層のものでは24時間であるのが、10ミクロンの厚さのエビタキシャル層のものになれば6時間に低減される。

【0021】最終的には、リザーバ領域30の下のはさみつけられたエビタキシャル領域中の全電荷の少い部分のみがエビタキシャル領域10の頂部からくるので、領域30の深さのばらつきは、はさみつけられたエビタキシャル領域内の電荷により小さい効果しか与えないであろう。

【0022】基板11は、従来のどのようなP型基板であってもよく、5〜25ミリの厚さを備えてよい。基板の抵抗は、放電電圧の要求に基づいて選択される。例えば、600ボルトの放電電圧については基板11の抵抗はおよそ60オーム・cmであり、1200ボルトについてはその抵抗はおよそ150オーム・cmである。

【0023】600ボルトのデバイス用のエビタキシャル層部40は最初は、例えば0.5〜1オーム・cm及び1〜4ミクロンの厚さの比較的低い抵抗をもって成長せられる。領域40に対する厚さと抵抗の組み合わせは、該層中の全電荷が $1.2 \sim 1.5 \times 10^{12}$ cm⁻²となりエビタキシャル層の面積抵抗が平方あたり3000〜4000オームとなるように選択される。

【0024】比較的に強くドーパされた領域40(領域10に比べて)はまた、1〜2ミクロンの深さにドーパ材を入れるための拡散が後に続く、P型基板11中へのリンイオン又はヒ素イオンの直接注入によってもつけられることができる。注入量及び打ち込み拡散条件は、面積抵抗が平方あたり3000〜4000オームとなるように選択される。エビタキシャル層10は、この後拡散部40の頂部で成長させられる。

【0025】頂部のエビタキシャル層(領域10)の厚さは、P-リザーバ領域30の深さと強くドーパされた領域40中のドーパ材の種類とに応じて選択される。例えば、P-リザーバ領域30がおよそ5ミクロンの深さでありかつ領域40にヒ素系ドーパ材が用いられる場合、領域10については、およそ8ミクロンの厚さが選択される。P-リザーバ領域30の厚さを低減すること

により、頂部のエピタキシャル領域10の厚さをさらに低減することが可能である。

【0026】領域10の抵抗は、集積回路のその他の部分によって課せられる要求に応じて2〜4オーム・cmとされることができる。領域10の抵抗が低ければ低いほど、P-リサーフ領域30中の電荷を制御することが一層むすかしくなる。底部のエピタキシャル領域40及び頂部のエピタキシャル領域10の厚さ及び抵抗の選択は、1.5〜2.0×10¹²cm⁻²のはさみつけられたエピタキシャル電荷（P-リサーフ領域30の下）、又はすべての処理工程の終わりに平方あたり2800〜3500オームのはさみつけられたエピタキシャル層の面積抵抗をつくりだす必要がある。

【0027】領域10及びそのサブ領域40は、リン又はヒ素のいずれかでドーピングされることができる。より薄い領域が望まれる場合は、ヒ素が好ましい。なぜなら、ヒ素はリンよりもより低い拡散係数をもち、それゆえ強くドーピングされた領域40から弱くドーピングされた領域10への自動的なドーピングの発生が少なくなるからである。

【0028】図3は、横方向伝導のMOSFETが図2のウェル21内に形成される場合に、本発明がどのようにして用いられることができるかを示している。図2の番号と同一の番号は同一の部材を示している。図3において、接合パターンは、リング形のリサーフ拡散部51によって囲まれた制御用ドレイン拡散部50を含んでいる。ソースリング56を含んでいるリング形のP型ベース54は、領域10の頂部表面中に拡散される。適当なゲート酸化物60がポリシリコンゲートリング61の下に形成され、ウェル10の全表面がパッシベーション（不動態）酸化物62によって被覆されている。リング形のソース電極65は、ソース56及びベース54に接続され、そしてドレイン電極66はドレイン領域50に接続されている。ゲート電極57は、ポリシリコンゲート61に接続されている。

【0029】操作時においては、図3の構造は、ソース電極65とドレイン電極66との間の高い逆電圧、例えば60Vボルトあるいはこれより高い電圧に耐えるであろう。デバイスを起動するために、ベース54内のチャンネル領域の反転を生じさせるゲート61に電圧がかけられる。この後、電子流がソース電極65から、リサーフ拡散部51の下の反転されたチャンネルを通してドレイン66に流れることができる。

【0030】図3中に示された接合パターンは、その他のどのような所望の公知の接合パターンであってもよく、区画式、相互接続式等であってもよいということが注目されるべきである。

【0031】600ボルトの実施の形態においては、ゲートリング61の外側エッジから絶縁拡散部23のエッジまでの横方向の距離は、およそ25ミクロンである。

ゲートリング61は、およそ10ミクロンの幅を備えている。リング61の内側エッジと接合50の外側エッジの間の横方向の距離は、600ボルトのデバイスについてはおよそ70ミクロンであり、1200ボルトのデバイスについてはおよそ140ミクロンである。

【0032】基板11は、5〜25ミリの厚さを伴った、60オーム・cmのホウ素でドーパされた物体である。エピタキシャル層10は、その厚さ（その上面から領域40の頂部まで測定された場合）が8ミクロンであり、およそ3オーム・cmプラスマイナス約10%の抵抗を有している。領域40は、およそ2ミクロンの厚さを有し、平方あたり3000〜4000オームの面積抵抗を有している。領域10及び40は、リン又はヒ素のいずれかでドーピングされることができる。P-リサーフ領域51は、およそ5ミクロンの深さを有することができる。5ミクロンの深さにおける製造上のばらつきは、ピンチ領域内には全電荷の比較的小さい割合でしか存在しないので、領域51の下「のエピピンチ」に小さい効果しか与えないであろうということが注目されなければならない。

【0033】1200ボルトのデバイスの場合は、前記の寸法が維持されることができる。しかしながら、基板の抵抗は60オーム・cmから150オーム・cmに高められる。

【0034】図4は、本発明を高電圧PMOSに適用したものを示している。図4において、図2及び図3中の部材と同一の部材には、同一の引用番号が付けされている。ここでは、図2及び図3の構造が組み合わされ、ゲート61はP'領域100と中央P'領域101との間で反転可能なチャンネルの上に配置されている。中央のP'コンタクト領域102は、ドレインコンタクト66に接続するように配設されている。N'コンタクト領域103もまた、領域100のエッジと接続するように配設されている。グラッドコンタクト113は、P'領域23に接続されている。パッシベーション絶縁領域62aは、下敷きのシリコンの表面と交差する横方向の電場を遮断することを促進する、間隔をあけて配置されたポリシリコンプレートを含んではいてもよい。図5は、ソース電極65とドレイン電極66との間の高電圧を遮断するための手段として機能する、重複し容量的に結合されたポリシリコンリングを付加特徴としてを伴った、図3の左側半部を示している。

【0035】ここにおいて、図5に示すように、電気容量的に結合されたポリシリコン（ポリ）リング200〜206（所望の数のリングを用いることができる）を用いるといった手法は従来より知られている。201、203及び205の番号がつけられた3つのリングは、第1のポリレベルに配置され、200、202、204及び206の番号がつけられたその他の4つのリング第2のポリレベルに配置されている。両ポリ層は、導電性に

するためにドーピングされている。2つのポリ層間には、これらを互いに電気的に絶縁するために、およそ0.04ナノメートルの誘電体層62aが設けられている。第2のポリレベルの連続した各リングは、図5に示されているようにリングを互いに容量的に結合させるために、第1のポリレベルの最も近接したリングと2〜5マイクロメートルだけ重複している。誘電体層62aは、第1のポリ層の熱酸化によってつくられることができ、あるいは堆積された酸化ケイ素又は窒化ケイ素などといったその他の誘電体材料とされることができる。この誘電体は、1つのギャップあたりおよそ100ボルトの電圧に耐えることができなければならない。最終的には、全構造がパッシベーション酸化物62bによって被覆される。

【0036】最初のリング200は、ソース65又は該デバイスと交差する最も低い電圧部に接続され、最後のリング206は、該デバイスの最も高い電圧部又はドレイン66に接続されている。容易的に結合された一連のポリリングは、該デバイスと交差する電圧降下をより小さな分散的な値に分割し、これにより高電圧デバイスの表面付近の電場が濃密化する傾向が低減される。これは該デバイスの放電電圧を改善する。さらに、提案された構造は、高電圧デバイスの表面を、図5のデバイスの上面と接続して配置されているプラスチックのハウジング（図示せず）中にみられるイオン汚染物に起因する集積回路中の共通の漂遊静電気電荷から遮断する。リング200〜206は、とくに高温バイアス（HTB）条件下でテストされる場合には、高電圧デバイスの信頼性を劇的に改善する。

【0037】多重リング構造は、ダイオード、MOSFET、IGBT、BJTなどといった横方向伝導又は鉛直方向伝導の高電圧デバイスに、あるいは伝統的な及びリザーフ型のデバイスに用いられることができる。ポリシリコンリングは、金属又はケイ化物（シリサイド）などといったその他のどのような導電体にも置き換えることができる。

【0038】本発明のさらなる特徴によれば、図5に示されているように、遊動リング端末構造が、図3及び図4中に示されたタイプの2重リザーフのデバイスと組み合わせられて用いられる。

【0039】図5はまた、チップ中に用いられることができる、より「でこぼこ(rugged)」レベル切り換え回路をつくるための新規な構造を含んでいる。より詳しくは、P型のボディリング255が、P型のボディ51について同心円状に拡散され、これはP-リザーフ領域51と界を接する。これは、ゲート61の下にNMOSFETを形成する。かくして、図6に示すように、複数の間隔をあけて配置されたP型のボディ短絡部256は、Pボディ51及びPボディ255と周期的に短絡する。

【0040】領域256は、その全チャンネル幅を低減するNチャンネルDMOSFETを短絡させる。これ

は、デバイスの飽和電流を低減し、デバイスでのこぼこ性を実質的に増加させる。

【0041】図7は、プラスチックのハウジングキャップ300中のイオン汚染物に対して改善された遮蔽をもたらすための、本発明のさらなる特徴を示している。図7は、図5の一部も示しているが、これに対して新規なソース金属65を付加しており、これはゲート61の頂部に存在する低温酸化物62の頂部と連続的に交差して堆積される。より詳しくは、従来技術にかかる横方向のデバイスにおいては、ソース金属は、図5中に示されているように切断され又は分離され、ゲート61の上の低温酸化物62の頂部の上方で伸びていない。Pボディ51とソース56との間のチャンネル領域は、イオン汚染物に対して非常に敏感である。本発明の特徴によれば、ソース金属62は、敏感なチャンネル領域と交差して伸び、とくに高温でプラスチックのハウジング300内に形成されたイオン汚染物の移動に対して、物理的な金属（アルミニウム）遮蔽を行う。かくして、図7に示す新規な金属シールドは、実質的に、高温逆バイアス（HTB）下におけるデバイス特性を改善する。

【0042】本発明は、前記のとおり特定の実施の形態について説明されているが、このほか多くの変形及び修正並びにその他の利用が当業者にとっては明らかとなるであろう。それゆえ、本発明は前記の特定の実施の形態における開示に限定されるものではない。

【図面の簡単な説明】

【図1】 従来技術にかかる普通のエピタキシャル層中の絶縁されたウエル中に高電圧ダイオードを含んでいるチップの一部の断面図である。

【図2】 本発明が、より薄いエピタキシャル層の使用と放電電圧のより良い制御とを可能にしつつ、図1のエピタキシャル層中に電荷を再配分する手法を示す図である。

【図3】 図2に示すチップのもう1つのウエル中に存在するであろうNチャンネルの横方向伝導MOSFETに対する本発明の適用を示す図である。

【図4】 本発明を高電圧PチャンネルMOSFET中に適用する手法を示す図である。

【図5】 図3に示すデバイス高電圧領域を仕切るための一部のリングが遊動しているポリシリコンリング構造を示すとともに、NMOSFETの周期的な短絡を示す図である。

【図6】 図5の平面図である。

【図7】 イオン汚染物がチャンネル領域に到達するのを防止するためのソースのコンタクトブリッジの断面図である。

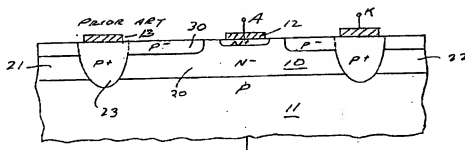
【符号の説明】

10…エピタキシャル層（Nウエル）、11…基板、12…陽極、13…陰極、20…絶縁されたウエル、21…絶縁されたウエル、22…絶縁されたウエル、23…

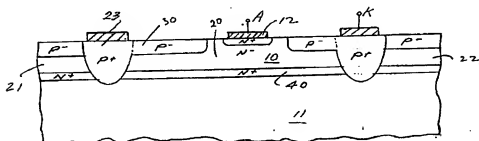
拡散部、30…P⁻領域、40…厚みの小さいサブ領域、50…ドレーン領域、51…リザーバ拡散領域、55…ベース、56…ソースリング、57…ゲート電極、

60…ゲート酸化物、61…ポリシリコンゲート、62…パッシベーション酸化物、65 ……ソース電極、66…ドレーン電極、

【図1】



【図2】



【図3】

